

日 本 国 特 許 庁
JAPAN PATENT OFFICE

02.11.2004

REC'D 23 DEC 2004

WIPO

PCT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 1 1 月 4 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 3 7 4 7 8 9
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 3 7 4 7 8 9]

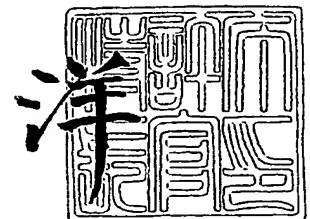
出 願 人 株式会社イデアルスター
Applicant(s):

**PRIORITY
DOCUMENT**
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

2 0 0 4 年 1 2 月 9 日

特許庁長官
Commissioner,
Japan Patent Office

小 川



【書類名】 特許願
【整理番号】 IDEAL0030
【提出日】 平成15年11月 4日
【あて先】 特許庁長官 殿
【国際特許分類】 H01L 31/00
【発明者】
 【住所又は居所】 宮城県仙台市泉区虹の丘4丁目11番地の12
 【氏名】 笠間 泰彦
【発明者】
 【住所又は居所】 宮城県仙台市泉区住吉台東5丁目13-18
 【氏名】 表 研次
【特許出願人】
 【識別番号】 502344178
 【氏名又は名称】 株式会社イデアルスター
【代理人】
 【識別番号】 100088096
 【弁理士】
 【氏名又は名称】 福森 久夫
 【電話番号】 03-3261-0690
【手数料の表示】
 【予納台帳番号】 007467
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 0213743

【書類名】 特許請求の範囲**【請求項 1】**

配線領域により電氣的に接続した複数の線状素子からなる半導体メモリー。

【請求項 2】

前記線状素子を形成する複数の断面が長手方向に連続的又は間欠的に形成されていることを特徴とする請求項 1 記載の半導体メモリー。

【請求項 3】

前記線状素子の断面形状が、円形、多角形、星型、三日月、花卉、文字形状その他の任意形状を有していることを特徴とする請求項 1 または 2 のいずれか 1 項記載の半導体メモリー。

【請求項 4】

前記半導体メモリーが DRAM であることを特徴とする請求項 1 乃至 3 のいずれか 1 項記載の半導体メモリー。

【請求項 5】

前記半導体メモリーが SRAM であることを特徴とする請求項 1 乃至 3 のいずれか 1 項記載の半導体メモリー。

【請求項 6】

前記半導体メモリーがマスク ROM であることを特徴とする請求項 1 乃至 3 のいずれか 1 項記載の半導体メモリー。

【請求項 7】

前記半導体メモリーが PROM であることを特徴とする請求項 1 乃至 3 のいずれか 1 項記載の半導体メモリー。

【請求項 8】

前記半導体メモリーが E² PROM であることを特徴とする請求項 1 乃至 3 のいずれか 1 項記載の半導体メモリー。

【請求項 9】

前記線状素子が、断面内にゲート電極、ゲート絶縁体領域、ソース領域、ドレイン領域、半導体領域が形成されている線状 MISFET であることを特徴とする請求項 1 乃至 7 のいずれか 1 項記載の半導体メモリー。

【請求項 10】

前記線状 MISFET が、線状体断面の中心に前記ゲート電極を有し、その外側に前記ゲート絶縁体領域、前記ソース領域、前記ドレイン領域、前記半導体領域が順次形成されており、互いに離間した前記ソース領域と前記ドレイン領域とが前記ゲート絶縁体領域に接触して配置されている回路領域からなる MISFET であることを特徴とする請求項 9 記載の半導体メモリー。

【請求項 11】

前記線状 MISFET が、線状体断面の中心にソース配線を有し、その外側に前記ソース領域、前記ドレイン領域、前記半導体領域、前記ゲート絶縁体領域、前記ゲート電極が順次形成されており、前記ソース配線と前記ソース領域が電氣的に接続され、かつ、互いに離間した前記ソース領域と前記ドレイン領域とが前記ゲート絶縁体領域に接触して配置されている回路領域からなる MISFET であることを特徴とする請求項 9 記載の半導体メモリー。

【請求項 12】

前記線状 MISFET が、線状体断面の中心にドレイン配線を有し、その外側に前記ドレイン領域、前記ソース領域、前記半導体領域、前記ゲート絶縁体領域、前記ゲート電極が順次形成されており、前記ドレイン配線と前記ドレイン領域が電氣的に接続され、かつ、互いに離間した前記ソース領域と前記ドレイン領域とが前記ゲート絶縁体領域に接触して配置されている回路領域からなる MISFET であることを特徴とする請求項 9 記載の半導体メモリー。

【請求項 13】

前記線状 MISFET が、線状体断面の中心に前記ゲート電極を有し、その外側に前記ゲート絶

縁体領域、開口部を有する前記ソース領域、前記半導体領域、前記ドレイン領域が順次形成されており、前記ドレイン領域が前記ソース領域の開口部に接する前記半導体領域上に形成されている回路領域からなるMISFETであることを特徴とする請求項9記載の半導体メモリー。

【請求項14】

前記線状MISFETが、線状体断面の中心に前記ゲート電極を有し、その外側に前記ゲート絶縁体領域、開口部を有する前記ドレイン領域、前記半導体領域、前記ソース領域が順次形成されており、前記ソース領域が前記ドレイン領域の開口部に接する前記半導体領域上に形成されている回路領域からなるMISFETであることを特徴とする請求項9記載の半導体メモリー。

【請求項15】

前記線状MISFETが、線状体断面の中心に前記ソース領域を有し、その外側に前記半導体領域、開口部を有する前記ドレイン領域、ゲート絶縁体領域、ゲート電極が順次形成されており、前記ゲート電極が前記ドレイン領域の開口部に接する前記ゲート絶縁体領域上に形成されている回路領域からなるMISFETであることを特徴とする請求項9記載の半導体メモリー。

【請求項16】

前記線状MISFETが、線状体断面の中心に前記ドレイン領域を有し、その外側に前記半導体領域、開口部を有する前記ソース領域、ゲート絶縁体領域、ゲート電極が順次形成されており、前記ゲート電極が前記ソース領域の開口部に接する前記ゲート絶縁体領域上に形成されている回路領域からなるMISFETであることを特徴とする請求項9記載の半導体メモリー。

【請求項17】

前記線状素子が、断面内に第一の電極、絶縁体領域、第二の電極が形成されている線状キャパシターであることを特徴とする請求項4記載の半導体メモリー。

【請求項18】

前記線状素子が、断面内に制御ゲート電極、第一のゲート絶縁体領域、浮遊ゲート電極、第二のゲート絶縁体領域、ソース領域、ドレイン領域、半導体領域が形成されている線状メモリー素子であることを特徴とする請求項8記載の半導体メモリー。

【請求項19】

前記線状メモリー素子が、線状体断面の中心に前記制御ゲート電極を有し、その外側に前記第一のゲート絶縁体領域、前記浮遊ゲート電極、前記第二のゲート絶縁体領域、前記ソース領域、前記ドレイン領域、前記半導体領域が順次形成されており、互いに離間した前記ソース領域と前記ドレイン領域とが前記ゲート絶縁体領域に接触して配置されている回路領域からなるメモリー素子であることを特徴とする請求項18記載の半導体メモリー。

【書類名】明細書

【発明の名称】半導体メモリー

【技術分野】

【0001】

本発明は、線状体に形成したMISFETにより構成される半導体メモリーに関する。

【背景技術】

【0002】

半導体メモリーは、プログラムやデータなどの電子情報を記憶する装置として、コンピュータや電子機器に幅広く使用されている。

図12(a)は、従来の半導体メモリーを構成するMISFETの断面図である。シリコンなどからなる平面基板301上に、ゲート電極303、ゲート絶縁膜304、ソース領域305、ドレイン領域306からなるMISFETと、ゲート電極307、ゲート絶縁膜308、ソース領域309、ドレイン領域310からなるMISFETが、LOCOS法などにより形成した絶縁分離領域302により電氣的に分離されて形成されている。

【0003】

図12(b)は、半導体メモリーの、例えば、マスクROMの回路図であり、図12(c)、(d)は、図12(b)に示す回路図に対応する従来の半導体メモリーの平面図である。各MISFETは、ゲート電極、ソース領域、ドレイン領域、ソースコンタクト、ドレインコンタクトのパターンから構成される。例えば、図12(c)の左上に配置されたMISFETは、ゲート電極321、ソース領域322、ドレイン領域323、ソースコンタクト324、ドレインコンタクト325のパターンから構成されている。各MISFET間は、例えば多結晶シリコンからなるゲート配線と、例えばAlからなるソース配線、及びドレイン配線により接続されている。図12(c)、(d)においては、ゲート配線321、328は、それぞれ、ゲート電極と共通の多結晶シリコン層により形成され、図12(b)のワード線319に対応している。ソース配線326、333は、いずれも接地電位に接続される。ドレイン配線327、334は、それぞれ、図12(b)のビット線320に対応している。

【0004】

マスクROMにおける情報の記録は、ドレインとビット線の接続、あるいは、非接続によって行う。図12(b)における接続ノード317は、ドレインとビット線320が接続しているノードを示し、非接続ノード318は、ドレインとビット線320が接続していないノードを示している。

【0005】

平面基板301上に、予めMISFET、及び、一層目Al配線（ソース配線）まで完成した基板を用意しておく。マスクROMで記憶するデータが決定した段階で、1層目Alと2層目Alのコンタクトであるドレインコンタクト325のマスク、あるいは、2層目Al配線のマスクを用意し、1回、あるいは2回のマスク工程だけで組み合わせ論理回路が実現するので、ターンアラウンドタイムを短縮できる。

【0006】

図12(c)は、ドレインコンタクトのパターンによってデータを記録した場合に対応し、図12(d)は、2層目Al配線のパターンによってデータを記憶した場合に対応する。

【発明の開示】

【発明が解決しようとする課題】

【0007】

従来の半導体メモリーは、シリコン基板などリジッドで平面状の基板に形成されていた。そのため、形状に柔軟性がなく、応用が限定されるという問題があった。また、複数の回路素子を平面上に連続して形成しているため、少なくとも一個の回路素子が不良になれば、不良部分だけ良品と交換することができず、装置全体が不良になる。そのため、すべての回路素子を欠陥なく製造するために、プロセスのクリーン度向上などプロセス管理を極めて厳密に行う必要があり、特に、装置を大型化しようとする、歩留まり向上の難しさが加速的に増加するという問題があった。

【課題を解決するための手段】**【0008】**

本発明に係る半導体メモリーは、半導体メモリーを構成するMISFET、キャパシター、メモリー素子などの回路素子が長手方向に連続的又は間欠的に形成されている線状素子であることを特徴とする。

【発明の効果】**【0009】**

本発明によれば、形成した線状素子を布状に織る、または編むことにより、平面状の半導体メモリーを作製したり、線状素子を束ねて線状の半導体メモリーを作製することが可能になる。そのため、以下に述べる効果が得られる。

【0010】

(1) 線状素子を織る、あるいは編むことにより作製した平面状の半導体メモリーは、柔軟性があり軽いため、ペーパー状の記憶装置など平面状の装置で使用される記憶デバイスとして多様な用途がある。

【0011】

(2) 線状素子を束ねることにより作製した線状の半導体メモリーは、柔軟性があり軽いため、配線コードなどの線状部品に組み込んで使用される記憶デバイスとして多様な用途がある。

【0012】

(3) 線状の素子を組み合わせ、半導体メモリーを作製できるので、製造設備の規模によらない大型装置を製造できる。従って、記憶容量を飛躍的に大きくすることも可能である。

【0013】

(4) 複数の線状素子を用いて半導体メモリーを作製する場合に、各線状素子を検査して、選別した良品だけ用いて半導体メモリーを製造できる。もしくは、半導体メモリーを製造してから、検査を行い、不良部の線状素子だけを交換することもできるので、半導体メモリーを大型化した場合に、特にプロセス管理を厳密にしなくても、集積回路の歩留まりを向上できる。

【0014】

(5) 線状素子上に長手方向に間欠的に複数のMISFETを形成する場合に、ゲート電極を中心に配置すれば、ゲート電極を共通とする複数のMISFETからなる回路の形成が容易になる。同様に、ソース電極を中心に配置すれば、ソース電極を共通とする複数のMISFETからなる回路の形成が容易になる。また、ドレイン電極を中心に配置すれば、ドレイン電極を共通とする複数のMISFETからなる回路の形成が容易になる。半導体メモリーのようなゲート電極、あるいは、ソース電極を共通とする複数のMISFETからなる回路の形成は、線状素子を用いれば長手方向に共通の電極を用いた回路を形成できるので、配線の構造が単純になり、配線層の数を減らしたり、集積度のより低いプロセスを使用できるので、半導体メモリーの製造工程上有利である。

【0015】

(6) 半導体メモリーを構成する線状素子の電極や配線領域として使用される導電性材料に、アルカリ金属内包フラーレン、又はアルカリ金属内包フラーレンをドーブした有機材料を使用することにより、電極、あるいは配線領域の導電性を向上することができる。

【0016】

(7) コンタクト層、あるいは、配線層上に形成した線状素子からなるマスクROMは、支持基板とコンタクト層、あるいは、配線層を圧着、あるいは接着することにより電気的コンタクトをとる構成とすることができる。予め、異なるパターンのコンタクト層、あるいは、配線層を用意して、必要に応じパターンを交換することも可能であり、書換可能なマスクROMとして使用することができる。また、線状のヒューズ素子と組み合わせることにより、電流あるいはレーザー光を用いてヒューズを切断することで、データの書き換えを行うことも可能である。

【発明を実施するための最良の形態】

【0017】

図7(a)は、半導体メモリーの一例であるマスクROMの回路図であり、(b)は、(a)に示すマスクROMに対応する本発明の半導体メモリーの斜視図である。

【0018】

図7(b)において、線状MISFET 146、147、148には、複数のMISFETが、線状体の長手方向に間欠形成されている。図7(b)に示す形態においては、各線状体に形成された複数のMISFETのソース電極が互いに共通であり、また、ゲート電極も互いに共通である。線状体 146、147、148は、コンタクト層 152、配線層 153上に配置する。コンタクト層 152、及び、配線層 153上には、図示していないが、後述する配線形成方法により形成するコンタクトパターン、及び、配線パターンが形成されており、図7(a)に示す回路図における各MISFETの電氣的接続を実現している。

【0019】

図7(b)においては、線状素子 146、147、148とコンタクト層 152との間は直接接続しているが、その間に線状体の支持基板を介在させることも可能であり、線状MISFETの配置を変えずに、配線層 153、あるいは、コンタクト層 152を交換することが可能になる。

【実施例】

【0020】

(DRAM)

図1(a)は、DRAMの回路図である。DRAMは、電荷を蓄積するキャパシター 2、キャパシターを選択するスイッチング用のMISFET 1、スイッチング用のMISFETを制御するワード線 3、データの読み出し、書き込みを行うビット線 4から構成される。

【0021】

電子情報は、キャパシター 2に電荷が蓄積されているかいないかで記録される。例えば、ワード線Wi、ビット線Biに対応するキャパシターに書き込みを行うときは、ワード線WiをHighにして、MISFETをONにし、ビット線BiをHighにすると、キャパシターに電流が流れ、電荷が蓄積される。あるいは、ビット線BiをLowにすると、キャパシターから電流が流れ、電荷を引き抜くことができる。また、ワード線Wi、ビット線Biに対応するキャパシターからデータを読み出すときは、ワード線WiをHighにして、MISFETをONにし、ビット線Biの電圧を図示しないセンスアンプで検知する。

【0022】

図1(a)に示すDRAMでは、トランジスタアレイを構成するMISFETが、すべてN型MISFETの場合について説明したが、P型のMISFETによりトランジスタアレイを構成した場合でも、ワード線をLowにしてスイッチング用MISFETをONにするなどの論理変更によりP型MISFETからなるDRAMを実現するのは容易である。この点に関しては、後述するマスクROMやE²PROMにおいても同様であり、従って、例えば、半導体材料によっては電子よりも正孔の移動度が大きい有機半導体を用いたMISFETを使用しても本発明の半導体メモリーを実現することは可能である。

【0023】

また、DRAM、及び、後述するSRAM、マスクROM、E²PROMには、例えば、センスアンプなどの周辺回路があるが、周辺回路に関しても、線状素子で形成することが可能である。

【0024】

(線状MISFET、線状キャパシター)

図1(b)は、図1(a)に示すDRAMのメモリーセルに対応する本発明の半導体メモリーの斜視図である。図1(b)においては、線状MISFET 6と線状キャパシター 5からなるメモリーセルが、線状体の長手方向に2個並んだ部分を示してある。

【0025】

線状MISFET 6の断面において、中心にゲート電極 16を有し、その外側に、ゲート絶縁体領域 17、ソース領域 19、ドレイン領域 20、半導体領域 18が形成されている。さら

に、その外側に、ソース電極 22、ドレイン電極 23、絶縁体領域 21 が形成されている。

【0026】

ソース電極 22 は、ソース領域 19 よりも円周方向に大きく形成しており、ソース領域 19 と接するだけでなく半導体領域 18 とも接しているが、このことにより、ソース電極 22 とソース領域 19、半導体領域 18 との電氣的な接続を行い、半導体領域 18 の電位をソース電極 22 と同じ電位にすることができる。

【0027】

一方、ドレイン電極 23 は、ドレイン領域 20 よりも円周方向に小さく形成しており、ドレイン電極 23 と半導体領域 18 の短絡を防止している。

【0028】

線状キャパシター 5 の断面において、中心に導電性材料、あるいは半導体材料からなる第一の電極 11 を有し、その外側に、電荷を蓄積する絶縁体領域 12、導電性材料、あるいは半導体材料からなる第二の電極 13 が順に形成されている。

【0029】

線状素子の長手方向を見てみると、線状MISFETにおいては、素子領域 9 と絶縁分離領域 10 が交互に配置されており、線状キャパシターにおいては、素子領域 7 と絶縁分離領域 8 が交互に配置されている。

【0030】

線状MISFETにおいて、ソース領域 19、ソース電極 22、ドレイン領域 20、ドレイン電極 23、半導体領域 18 は絶縁体領域 25 により隣接するMISFETの回路領域と電氣的に分離されているが、ゲート電極 16 は線状MISFETを構成する複数のMISFETにおいて連続している。

【0031】

線状キャパシターにおいて、第二の電極 13 は、絶縁体領域 15 により隣接するキャパシターの第二の電極と電氣的に分離されているが、第一の電極 11 は線状キャパシターを構成する複数のキャパシターにおいて連続している。

【0032】

図 2 (a)、(c) は、それぞれ、図 1 (b) における素子領域 7、9 における断面図であり、図 1 (b) において、すでに線状素子の断面図として説明してある。図 2 (b) は、図 1 (b) における線状MISFETの絶縁分離領域 10 における断面図である。ゲート電極 31 を中心に、絶縁体領域 32、ソース領域 35、絶縁体領域 41、ソース電極 39、絶縁体領域 42 が順次形成されている。また、図 2 (d) は、図 1 (b) における線状キャパシターの絶縁分離領域における断面図である。第一の電極 43 を中心に配置し、その外側に絶縁体領域 46 が形成されている。

【0033】

図 3 (a) 乃至 (d) は、本発明の半導体メモリーを構成する線状MISFETの他の実施例の断面図である。図 3 (a) は、線状素子断面の中心にソース配線 47 を配置して、その外側に半導体領域 49、ソース電極 48、ソース領域 50、ドレイン領域 51 を形成し、さらにその外側にゲート絶縁体領域 52、ゲート電極 53 を形成した線状MISFETである。半導体メモリーの回路構成としては、必ずしも、ソース共通とする必要はなく、ドレイン共通の回路構成とすることも可能であり、その場合は中心にドレイン配線を配置した線状MISFETを用いることも可能である。

【0034】

図 3 (b) は、図 3 (a) に示した線状MISFETから中心の配線領域と電極領域を除いて線状MISFETを形成した例である。図 3 (b) に示すような線状MISFETを用いた場合でも、ソース領域とドレイン領域から電極を取り出す領域を、例えば、素子領域の間に設けることにより半導体メモリーを作製することが可能になる。

【0035】

図 3 (c) は、線状素子断面の中心にゲート電極 59 を配置して、その外側にゲート絶縁体

領域 60、ソース領域 62、半導体領域 62、ドレイン領域 63、絶縁体領域 64 を順次形成した線状 MISFET である。

【0036】

また、図 3 (d) は、線状素子断面の中心にソース領域 65 を配置して、その外側に半導体領域 66、ドレイン領域 67、ゲート絶縁体領域 68、ゲート電極 69、絶縁体領域 70 を順次形成した線状 MISFET である。

【0037】

図 3 (c) に示す線状 MISFET は、ソース領域 61 が開口部を有し、開口部上の半導体領域に接してドレイン領域 63 が形成されている。また、図 3 (d) に示す線状 MISFET は、ドレイン領域 67 が開口部を有し、開口部上のゲート絶縁体領域 68 に接してゲート電極 69 が形成されている。図 3 (c)、(d) に示す線状 MISFET は、いずれも、チャネル長を半導体領域 62、あるいは、半導体領域 66 の厚さにより制御することができるため、チャネル長の微細化が容易で、半導体メモリーの高速動作が可能になる。また、図 3 (c)、及び、図 3 (d) において、ソース領域をドレイン領域、ドレイン領域をソース領域と置き換えた構造の線状素子も、MISFET として正常に動作し、本発明の半導体メモリーを構成することができる。

【0038】

(SRAM)

図 4 (a) は、SRAM の回路図である。SRAM は、P 型 MISFET・Q3、Q4 と N 型 MISFET・Q1、Q2 からなるフリップフロップに電荷を蓄積して電子情報を記録する。メモリーセルの選択は N 型 MISFET・Q5、Q6 により行われる。メモリーセルに書き込みを行うときは、ワード線 W を High にして、Q5、Q6 を ON にした状態で、ビット線 D、DB の電位を制御する。例えば、ビット線 D を High にした時は、ビット線 DB は、その反転信号である Low にする。ワード線 W を Low にして、Q5、Q6 を OFF にすることで書き込み時に入力された電荷が保存される。また、読み出しを行うときは、Q5、Q6 を ON にして、ビット線の電圧を図示しないセンスアンプで検知する。SRAM は、DRAM よりもメモリーセルを構成する素子数は多いが、リフレッシュを行わなくてもデータが消滅しない、従って、低消費電力であるという特徴を持つ。

【0039】

図 4 (b) に、本発明の SRAM の正面図を示す。SRAM は、相補型 MISFET から構成されているが、本発明の線状 MISFET からなる SRAM は、独立した線状の N 型 MISFET 71 と線状の P 型 MISFET 72 で構成する。図 4 (b) に示す線状 MISFET は、一本の線状体に複数の MISFET が間欠的に形成されており、各 MISFET は素子領域に隣接して電極領域を有し、隣接する MISFET とは絶縁分離領域により電氣的に分離されている。電極領域としては、例えば、N 型 MISFET である Q1 は、ソース電極 73、ドレイン電極 74、ゲート電極 75 を有している。また、P 型 MISFET である Q3 は、ソース電極 76、ドレイン電極 77、ゲート電極 78 を有している。V_{SS}、V_{DD}、W、D、DB で示す配線と各 MISFET の電極を接続するコンタクトに関しては、図 4 (b) の中では、便宜上、黒丸と線で接続しているように書いてあるが、実際の半導体メモリーにおける接続は、本発明の明細書において後述する配線形成方法を用いて、光反応性有機材料などからなる導電性材料により電氣的に接続する。

【0040】

(線状相補型 MISFET)

図 5 は、本発明の SRAM を形成する相補型 MISFET の斜視図である。本発明の相補型 MISFET を構成する N 型 MISFET と P 型 MISFET は、それぞれ独立した線状体として形成されており、N 型 MISFET は、絶縁体領域 88、ゲート電極 89、ゲート絶縁領域 90、ソース領域 92、半導体領域 93、及びドレイン領域 91 により構成され、P 型 MISFET は、絶縁体領域 108、ゲート電極 109、ゲート絶縁領域 110、ソース領域 112、半導体領域 113、及びドレイン領域 111 により構成される。線状 N 型 MISFET と線状 P 型 MISFET の間は、ラッチアップ防止のため絶縁体などを充填することにより電氣的に分離することが好ましい。

【0041】

線状体を長手方向にみると、N 型 MISFET においては、素子領域 81 と素子領域 87 の間に

は、電極分離領域 85、ソース電極 82、ドレイン電極 83、ゲート電極 84、素子分離領域 86 が配置されており、素子領域と電極領域、電極領域と電極領域の間は電極分離領域により電氣的に分離されており、ゲート電極と隣接する素子領域の間は素子分離領域により電氣的に分離されている。

【0042】

同様に、P型MISFETにおいては、素子領域 101 と素子領域 107 の間には、電極分離領域 105、ソース電極 102、ドレイン電極 103、ゲート電極 104、素子分離領域 106 が配置されており、素子領域と電極領域、電極領域と電極領域の間は電極分離領域により電氣的に分離されており、ゲート電極と隣接する素子領域の間は素子分離領域により電氣的に分離されている。

【0043】

次に、各電極領域と各絶縁分離領域の断面構造の説明を線状のN型MISFETについて行うが、P型MISFETにおいても同様の構造をとるものとする。

【0044】

図 6 (a) は、素子領域 81 における線状体の断面図であり、図 5 において、すでに線状素子の断面図として説明してある。

【0045】

図 6 (b) は、ソース電極領域 82 における線状体の断面図である。図 6 (a) を断面図とする線状体を形成後、半導体領域 126 の表面をソース領域 125 が露出するようにエッチング又は研磨などの方法で除去し、その周りに導電体領域の塗布などによりソース電極領域 127 を形成する。

【0046】

図 6 (c) は、ドレイン電極領域 83 における線状体の断面図である。図 6 (a) を断面図とする線状体を形成後、半導体領域 126 の表面をドレイン領域 124 が露出するようにエッチング又は研磨などの方法で除去し、その周りに導電体領域の塗布などによりドレイン電極領域 128 を形成する。

【0047】

図 6 (d) は、ゲート電極領域 84 における線状体の断面図である。図 6 (a) を断面図とする線状体を形成後、半導体領域 126、ソース領域 125、ドレイン領域 124、ゲート絶縁体領域 123 をエッチング又は研磨などの方法で除去し、その周りに導電体領域の塗布などによりゲート電極領域 129 を形成する。

【0048】

図 6 (e) は、電極分離領域 85 における線状体の断面図である。図 6 (a) を断面図とする線状体を形成後、半導体領域 126 をエッチング又は研磨などの方法で除去し、その周りに絶縁体領域の塗布などにより絶縁分離領域 130 を形成する。

【0049】

図 6 (f) は、素子分離領域 86 における線状体の断面図である。図 6 (a) を断面図とする線状体を形成後、半導体領域 126、ソース領域 125、ドレイン領域 124、ゲート絶縁体領域 123、ゲート電極 122 をエッチング又は研磨などの方法で除去し、その周りに絶縁体領域の塗布などにより絶縁分離領域 131 を形成する。

【0050】

(マスクROM)

図 7 (a) は、マスクROMの回路図である。メモリーセルは、ソースを接地電位に接続した 1 個のMISFET 141 から構成され、MISFETのゲートはメモリーセルを選択するワード線 144 に接続されている。MISFETのドレインに関しては、データの読み出しを行うビット線に対し、接続するノード 142 と接続しないノード 143 が選択的に形成されている。例えば、ビット線に負荷を介して電源電位に接続して、ビット線の電圧を検知するものとする、接続ノード 142 を有するメモリーセルのビット線はMISFETがONになると接地に対し電流が流れるのでLowになるが、非接続ノードを有するメモリーセルは、MISFETがONになっても接地に対し電流が流れずHighとなる。従って、各メモリーセルの接続ノード、非接

続ノードを選択的に形成することにより、電子情報を記録することができる。

【0051】

図7(b)は、図7(a)に示すマスクROMに対応する本発明の半導体メモリーの斜視図である。

図7(b)において、線状MISFET 146、147、148には、複数のMISFETが、線状体の長手方向に間欠形成されている。図7(b)に示す形態においては、各線状体に形成された複数のMISFETのソース電極が互いに共通であり、また、ゲート電極も互いに共通である。各線状MISFETのソース電極はいずれも接地電位に接続する。また、各線状MISFETのゲート電極は図7(a)に示すワード線に相当する。線状体146、147、148は、ドレイン電極側がコンタクト層152上に接するように、コンタクト層152上に配置する。コンタクト層には隣接して配線層153を配置する。コンタクト層152、及び、配線層153上には、図示していないが、後述する配線形成方法により形成するコンタクトパターン、及び、配線パターンが形成されており、図7(a)に示す回路図における各MISFETの電気的接続を実現している。図7(b)においては、線状素子146、147、148とコンタクト層152との間は直接接続しているが、その間に線状体の支持基板を介在させることも可能であり、線状MISFETの配置を変えずに、配線層153、あるいは、コンタクト層152を交換することが可能になる。従って、予め、異なるパターンのコンタクト層、あるいは、配線層を用意して、必要に応じパターンを交換することも可能であり、書換可能なマスクROMとして使用することができる。また、線状のヒューズ素子と組み合わせることにより、電流あるいはレーザー光を用いてヒューズを切断することで、データの書き換えを行うことも可能である。

【0052】

また、ROMの回路構成としては、メモリーセルを直列接続したNAND型ROMと、メモリーセルを並列接続したNOR型ROMがある。本発明の明細書では、図7(a)に示すマスクROM、及び、後述する図8(a)に示す E^2 PROMに関しては、NOR型ROMの回路構成に関して説明してあるが、NAND型ROMの回路構成をとった場合であっても、ROMを構成するMISFETとして線状のMISFETを使用すれば、本発明の効果がNOR型ROMの場合と同様に得られることは明らかである。

【0053】

(E^2 PROM)

図8(a)は、 E^2 PROMの回路図である。メモリーセルは、ソースを接地電位に接続した1個のメモリーセル161から構成される。 E^2 PROMにおけるメモリーセルは、MISFETと類似した構造を持つが、ソース、ドレインと接する第一のゲート絶縁体の上に電氣的に他の領域と分離した浮遊ゲート電極を持ち、浮遊ゲート電極上に第二のゲート絶縁体を介して、制御ゲート電極が形成されている点でMISFETと異なる。 E^2 PROMでも、図7(a)に回路図を示すマスクROMと同様にメモリーセルのソースを接地電位と接続し、制御ゲート電極をワード線と接続しているが、マスクROMと異なり、全てのメモリーセルのドレインを対応するビット線と接続している。 E^2 PROMにおけるデータの記録は、浮遊ゲートに対する電子の注入を利用して行われる。浮遊ゲートに電子の注入が行われていないメモリーセルでは、制御ゲート電圧をHighにすると、例えば、半導体領域がP型のメモリーセルの場合(N型のMISFETに対応するメモリーセルの場合)、メモリーセルがONになりビット線が接地電位に対し導通する。しかし、浮遊ゲートに電子が注入されたメモリーセルでは、制御ゲート電圧をHighにしても、浮遊ゲートに蓄積された電子のためにメモリーセルがONにならず、ビット線が接地電位に対し導通しない。

【0054】

データの書き込み、すなわち、浮遊ゲートに対する電子の注入は、ゲートに高い電圧を印加して行う。例えば、制御ゲート電圧を9V、ソース電圧を0V、ドレイン電圧を5Vとすると、ゲート-ソース間の高電界により、ソースから浮遊ゲートにホットエレクトロンが注入される。さらに、データの消去、すなわち、浮遊ゲートからの電子の引き抜きは、ゲートに低い電圧を印加して行う。例えば、制御ゲート電圧を-9V、ソース電圧を5V、ドレイン電圧を0Vとすると、ゲート-ソース間の高電界により、浮遊ゲートからソースに向かって

、トンネル効果により電子を引き抜くことができる。

【0055】

図8(b)は、図8(a)に示すE²PROMに対応する本発明の半導体メモリーの斜視図である。

図8(b)において、線状メモリーセル165、166、167には、複数のメモリーセルが、線状体の長手方向に間欠形成されている。図8(b)に示す形態においては、各線状体に形成された複数のメモリーセルのソース電極が互いに共通であり、また、ゲート電極も互いに共通である。

【0056】

各線状メモリーセルのソース電極はいずれも接地電位に接続する。また、各線状メモリーセルのゲート電極は図8(a)に示すワード線に相当する。線状体165、166、167は、ドレイン電極側がコンタクト層171上に接するように、コンタクト層171上に配置する。コンタクト層には隣接して配線層172を配置する。コンタクト層171、及び、配線層172上には、図示していないが、後述する配線形成方法により形成するコンタクトパターン、及び、配線パターンが形成されており、図8(a)に示す回路図における各メモリーセルの電氣的接続を実現している。

【0057】

(線状メモリー素子)

図9(a)は、図8(b)に示すE²PROMのメモリーセルに対応する本発明の線状メモリーセルの斜視図である。線状メモリーセルの断面において、中心に制御ゲート電極181を有し、その外側に、第一のゲート絶縁体領域182、浮遊ゲート電極183、第二のゲート絶縁体領域184、ソース領域186、ドレイン領域187、半導体領域185が順に形成されている。さらに、その外側に、ソース電極188、ドレイン電極189、絶縁体領域190が形成されている。ソース電極188は、ソース領域186よりも円周方向に大きく形成しており、ソース領域186と接するだけでなく半導体領域185とも接しているが、このことにより、ソース電極188とソース領域186、半導体領域185との電氣的な接続を行い、半導体領域185の電位をソース電極188と同じ電位にすることができる。一方、ドレイン電極189は、ドレイン領域190よりも円周方向に小さく形成しており、ドレイン電極189と半導体領域185の短絡を防止している。

【0058】

線状素子の長手方向を見てみると、素子領域191と絶縁分離領域192が交互に配置されている。線状体上に間欠的に形成された複数のメモリーセルにおいて、制御ゲート電極とソース電極は連続して形成されているが、浮遊ゲート電極、ソース領域、ドレイン領域、半導体領域、ドレイン電極は絶縁分離領域192により電氣的に分離されている。

図9(b)は、絶縁分離領域192における線状体の断面図である。断面の中心に制御ゲート電極195を配置して、その外側に、絶縁体領域196、ソース電極197が形成されている。

【0059】

(線状素子の形状)

本発明における線状素子における外径は、10mm以下が好ましく、5mm以下がより好ましい。1mm以下が好ましく、10μm以下がさらに好ましい。延伸加工を行うことにより1μm、さらには0.1μm以下とすることも可能である。

【0060】

1μm以下の外径を有する極細線状体を型の孔から吐出させて形成しようとする場合には、孔のつまりが生じたり、糸状体の破断が生ずる場合がある。かかる場合には、各領域の線状体をまず形成する。次にこの線状体を島として多くの島を作り、その周囲(海)を溶性のものを取り巻き、それをロート状の口金で束ねて、小口から一本の線状体として吐出させればよい。島成分を増やして海成分を小さくすると極めて細い線状体素子をつくることことができる。

他の方法として、一旦太めの線状体素子をつくり、その後長手方向に延伸すればよい。また、熔融した原料をジェット気流に乗せてメルトブローして極細化を図ることも可能であ

る。

【0061】

また、アスペクト比は、押出形成により任意の値とすることができる。紡糸による場合には糸状として1000以上が好ましい。例えば100000あるいはそれ以上も可能である。切断後使用する場合には、10～10000、10以下、さらには1以下、0.1以下として小単位の線状素子としてもよい。

【0062】

線状素子の断面形状は特に限定されない。例えば、円形、多角形、星型その他の形状とすればよい。例えば、複数の頂角が鋭角をなす多角形状であってもよい。

また、各領域の断面も任意にすることができる。素子により、隣接する層との接触面を大きくとりたい場合には、頂角が鋭角となっている多角形状とすることが好ましい。

なお、断面形状を所望の形状とするには、押出しダイスの形状を該所望する形状のものとするれば容易に実現することができる。

最外層の断面を星型あるいは頂角が鋭角をなす形状とした場合、押出し形成後、頂角同士の間の空間に、例えば、ディッピングにより他の任意の材料を埋め込むことができ、素子の用途によって素子の特性を変化させることができる。

【0063】

なお、半導体層へ不純物をドーピングしたい場合は、熔融原料中に不純物を含有せしめておいてもよいが、押出し形成後、真空室内を線状のまま通過させ、真空室内で例えばイオン注入法などにより不純物をドーピングしてもよい。半導体層が最外層ではなく内部に形成されている場合には、イオン照射エネルギーを制御することにより内層である半導体層のみにイオン注入すればよい。

【0064】

上記製造例は、複数の層を有する素子を押出しにより一体形成する例であるが、素子の基本部を押出しにより線状に形成し、その後該基本部に適宜の方法により被覆を施すことにより形成してもよい。

【0065】

(原材料)

電極、半導体層、配線などの材料としては、導電性高分子を用いることが好ましい。

例えば、ポリアセチレン、ポリアセン、(オリゴアセン)、ポリチアジル、ポリチオフェン、ポリ(3-アルキルチオフェン)、オリゴチオフェン、ポリピロール、ポリアニリン、ポリフェニレン等が例示される。これらから導電率などを考慮して電極、あるいは半導体層として選択すればよい。

【0066】

なお、半導体材料としては、例えば、ポリパラフェニレン、ポリチオフェン、ポリ(3-メチルチオフェン)などが好適に用いられる。

また、ソース・ドレイン材料としては、上記半導体材料に、ドーパントを混入せしめたものを用いればよい。n型とするためには、例えば、アルカリ金属(Na、K、Ca)などを混入せしめればよい。AsF₅/AsF₃やClO₄⁻をドーパントとして用いる場合もある。

【0067】

また、電極や配線などの導電性材料として、上記導電性高分子にアルカリ金属内包フラーレン、又はアルカリ金属内包フラーレンをドーピングした有機材料を使用することも可能であり、電極、あるいは配線領域の導電性を向上することが可能である。

【0068】

(線状素子の製造装置、製造方法)

図10(a)は、線状素子の製造に用いられる押出し装置を示す正面図である。

押出し装置201は、複数の領域を構成するための原料を熔融状態あるいは溶解状態、あるいはゲル状態で保持するための原料容器202、203、204を有している。図10(a)に示す例では、3個の原料容器を示しているが、製造する線状素子の構成に応じて適

宜設ければよい。

【0069】

原料容器内の原料は、型205に送られる。型205には、製造しようとする線状素子の断面に応じた射出孔が形成されている。射出孔から射出された線状体は、ローラ207に巻き取られるか、あるいは必要に応じて次の工程に線状のまま送られる。

【0070】

図1(b)、図2、図3、図4(b)、図5、図6、図7(b)、図8(b)、及び図9に示す構造の線状素子を製造する場合には図10(a)に示すような構成が取られる。

原料容器202、203、204には、ゲート電極材料、ゲート絶縁体領域材料、ソース、ドレイン材料、半導体材料が、それぞれ、熔融あるいは溶解状態、ゲル状態で保持されている。一方、型205には、それぞれの材料容器に連通させて、孔が形成されている。

【0071】

型205は、図10(b)に示すように、中心部には、ゲート電極材料を射出するための複数の孔が形成されている。その外側周辺には、ゲート絶縁体領域材料を射出させるための複数の孔が形成されている。そしてその外周にさらにソース、ドレイン材料、半導体材料を射出するための複数の孔が形成されている。ただし、型210において、回路領域に対応する材料を射出するための複数の孔の配置は、実際に製造する線状素子の断面構造に応じて適宜設定すればよく、必ずしも常にゲート電極材料を射出するための孔を中心に配置する必要はない。

【0072】

各原料容器から熔融あるいは溶解状態、ゲル状態の原料を型205に送入し、型から原料を射出すると、各孔から原料は射出し、固化する。その端を引っ張ることにより、糸状に連続して線状発光素子が形成される。

【0073】

線状素子は、ローラ207で巻き取る。あるいは必要に応じて次の工程に糸状のまま送る。例えば、ドーピング処理部208において、酸素イオンを注入、加熱し、絶縁分離領域を形成したり、電極形成処理部209において、導電性ポリマーの塗布などにより、ソース電極やドレイン電極を形成する。

【0074】

(半導体メモリーの配線形成方法)

図11は、本発明の半導体メモリーの配線形成方法に係り、(a)は、配線形成工程における半導体メモリーの斜視図であり、(b)乃至(e)は、配線形成工程の工程順断面図である。最初に、例えば、ガラス、又はプラスチックからなる基板211上に光反応性有機膜212を回転塗布法などにより形成する(図11(b))。光反応性有機膜として、例えば、光照射により絶縁体に変化する有機材料を使用する。次に、複数の線状素子213を光反応性有機膜212の上に配置する。配置される線状素子は、予め、専用の検査装置でDC試験や機能試験を行い、良品の線状素子のみ選択してある(図11(a)及び(c))。次に、線状素子213の電極部に位置合わせを行ったマスク214を介して、紫外線などの光を光反応性有機膜212に対し照射する(図11(d))。次に、加熱により光反応性有機膜に含まれる光反応開始剤を蒸発させることにより、光反応性有機膜212中に導電性領域215と絶縁性領域216を形成する(図11(e))。

【0075】

図11においては、平面基板上に線状素子を配置した場合の配線形成方法を説明したが、円筒上の基板に線状素子を配置したり、あるいは、柔軟性のある基板に線状素子を配置して配線形成後に基板を円筒状に変形させることで、円筒状あるいは線状の半導体メモリーを作製することも可能である。

【図面の簡単な説明】

【0076】

【図1】(a)は、DRAMの回路図であり、(b)は、(a)に示すDRAMのメモリーセルに対応する本発明の半導体メモリーの斜視図である。

【図 2】(a)乃至(d)は、図 1 (b)に斜視図を示す本発明の半導体メモリーの断面図である。

【図 3】(a)乃至(d)は、本発明の半導体メモリーを構成する線状MISFETの他の実施例の断面図である。

【図 4】(a)は、SRAMの回路図であり、(b)は、(a)に示すSRAMに対応する本発明の半導体メモリーの正面図である。

【図 5】図 4 (b)に正面図を示す本発明の半導体メモリーを構成する線状MISFETの斜視図である。

【図 6】(a)乃至(d)は、図 5 に斜視図を示す本発明の半導体メモリーを構成する線状MISFETの断面図である。

【図 7】(a)は、マスクROMの回路図であり、(b)は、(a)に示すマスクROMに対応する本発明の半導体メモリーの斜視図である。

【図 8】(a)は、E²PROMの回路図であり、(b)は、(a)に示すE²PROMに対応する本発明の半導体メモリーの斜視図である。

【図 9】(a)は、図 8 (b)に斜視図を示す本発明の半導体メモリーを構成する線状メモリー素子の斜視図、及び、断面図である。。

【図 10】(a)は、本発明の線状MISFETの製造に用いられる押し出し装置を示す正面図である。(b)は、本発明の線状MISFETの製造に用いられる押し出し装置で使用される型の平面図である。

【図 11】本発明の半導体メモリーの配線形成方法に係り、(a)は、配線形成工程における半導体メモリーの斜視図であり、(b)乃至(e)は、配線形成工程の工程順断面図である。

【図 12 (a)】従来の半導体メモリーを構成する平面状素子の断面図である。

【図 12 (b)】マスクROMの回路図である。

【図 12 (c)】(b)に対応する従来の半導体メモリーの平面図である。

【図 12 (d)】(b)に対応する従来の半導体メモリーの平面図である。

【符号の説明】

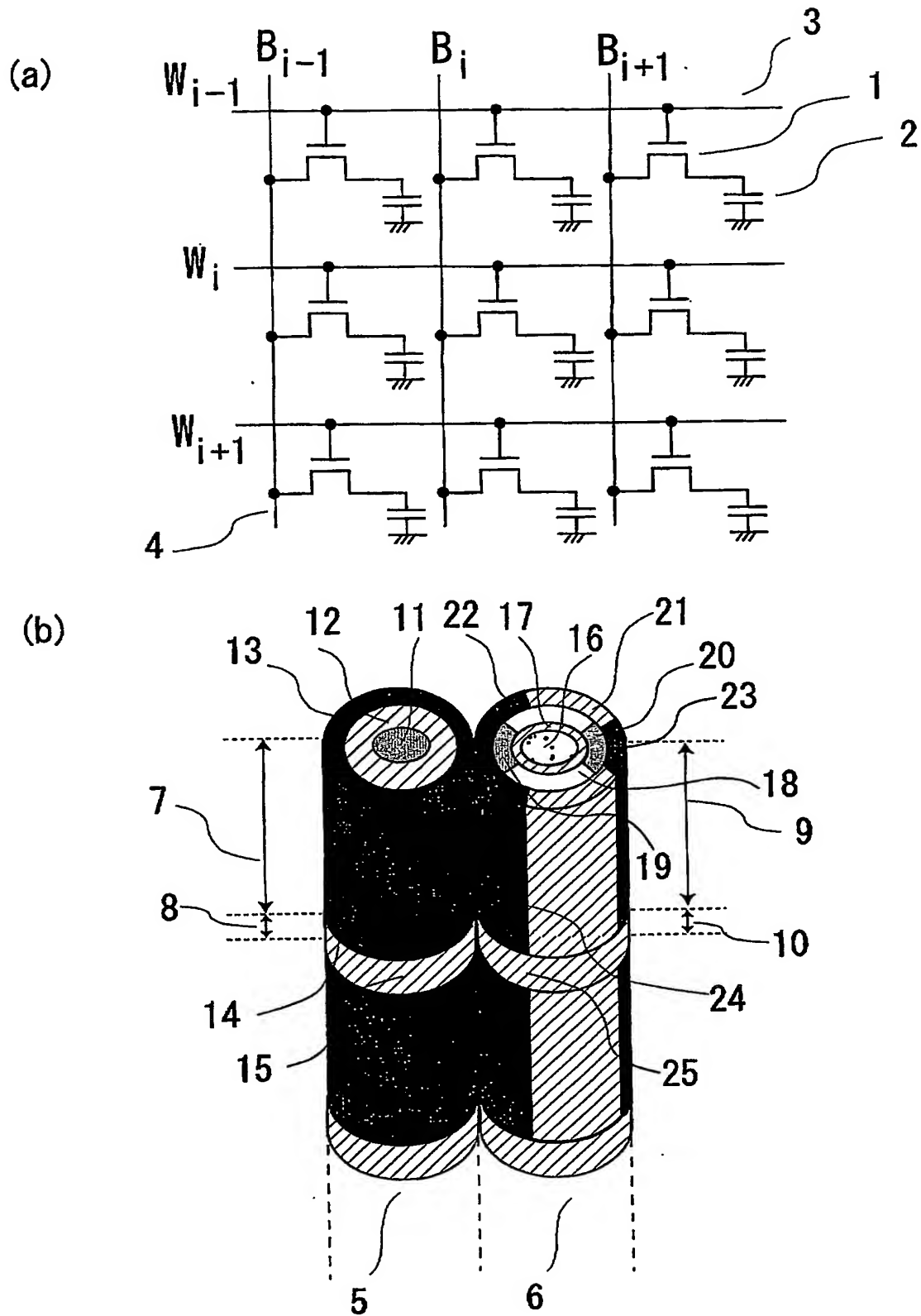
【0077】

- 1 MISFET
- 2 キャパシター
- 3 ワード線
- 4 ビット線
- 5 線状キャパシター
- 6 線状MISFET
- 7、9 素子領域
- 8、10 絶縁分離領域
- 11、13、14、43、45 電極領域
- 12、15、44、46 絶縁体領域
- 16、31 ゲート電極
- 17、32 ゲート絶縁体領域
- 18、33、34 半導体領域
- 19、35 ソース領域
- 20、36 ドレイン領域
- 21、25、37、38、41、42 絶縁体領域
- 22、24、39 ソース電極
- 23、40 ドレイン電極
- 47 ソース配線
- 48 ソース電極
- 49、54、62、66 半導体領域
- 50、55、61、65 ソース領域

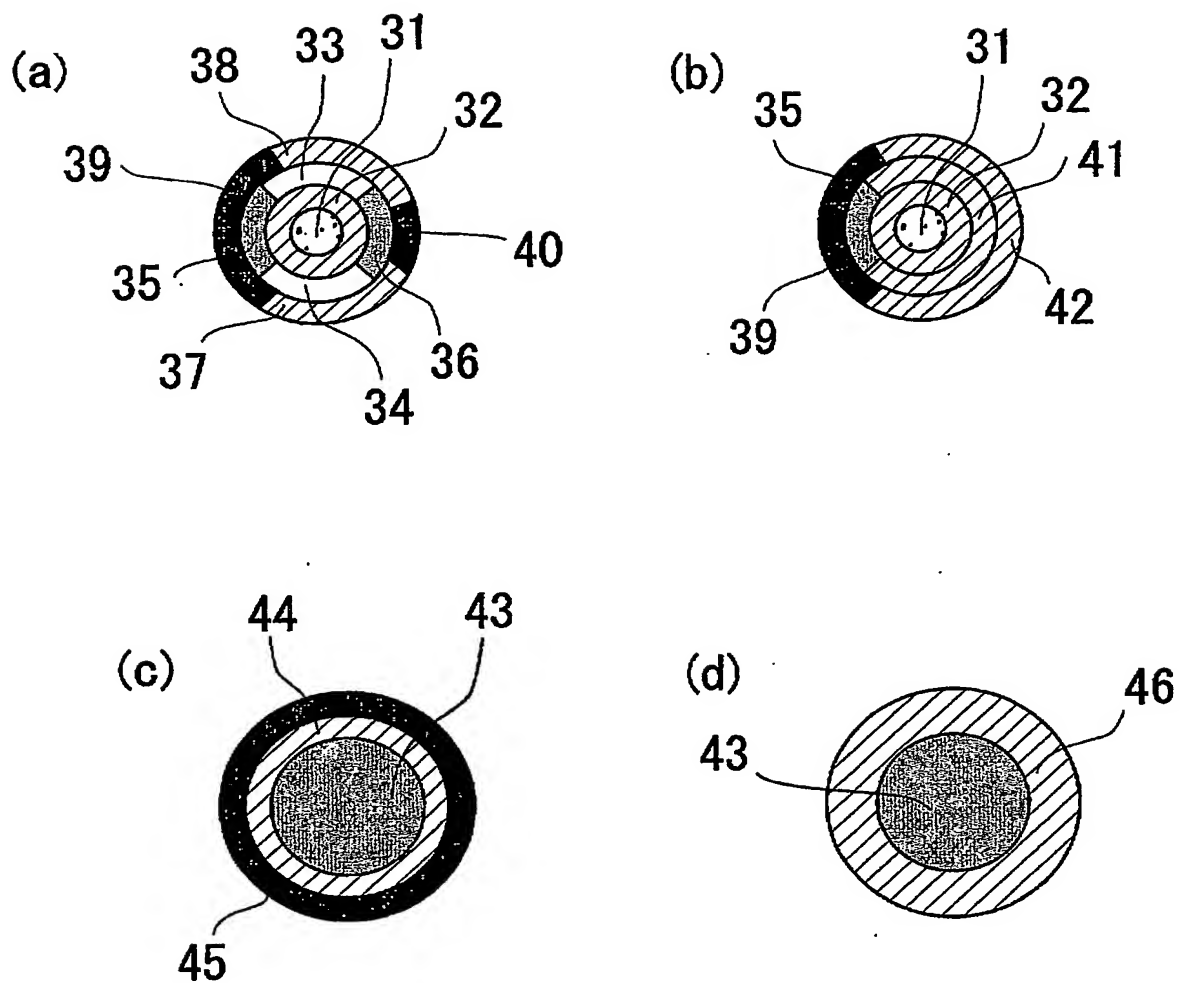
51、56、63、67 ドレイン領域
52、57、60、68 ゲート絶縁体
53、58、59、69 ゲート電極
64、70 絶縁体領域
71 線状N型MISFET
72 線状P型MISFET
73、76 ソース配線
74、77 ドレイン配線
75、78 ゲート配線
81、87、101、107 素子領域
82、102、127 ソース配線
83、103、128 ドレイン配線
129 ゲート配線
85、105 電極分離領域
86、106 素子分離領域
88、93、108、113、121、126、130、131 絶縁体領域
89、109、122 ゲート電極
90、110、123 ゲート絶縁体領域
91、111、124 ドレイン領域
92、112、125 ソース領域
141 MISFET
161 メモリー素子
142、162 接続ノード
143 非接続ノード
144、163 ワード線
145、164 ビット線
146、147、148 線状MISFET
165、166、167 線状メモリー素子
170 ソース電極
150、169 ソース配線
152、171 コンタクト層
153、172 配線層
181 制御ゲート電極
182 第一のゲート絶縁体領域
183 浮遊ゲート電極
184 第二のゲート絶縁体領域
185 半導体領域
186 ソース領域
187 ドレイン領域
188、193、197 ソース電極
189、194 ドレイン電極
190 絶縁体領域
191 素子領域
192 絶縁分離領域
195 制御ゲート電極
196 絶縁体領域
201 押し出し装置
202 原料1容器
203 原料2容器
204 原料3容器

205、210 型
206 線状素子
207 ローラ
208 ドーピング処理部
209 電極形成処理部
211 基板
212 光反応性有機膜
213 線状素子
214 マスク
215 導電性領域
216 絶縁性領域
301 平面基板
302 絶縁分離領域
303、307 ゲート電極
304、308 ゲート絶縁膜
305、309 ソース領域
306、310 ドレイン領域
311、313 ソース電極
312、314 ドレイン電極
315 層間絶縁膜
316 MISFET
317 接続ノード
318 非接続ノード
319 ワード線
320 ビット線
321、328 ゲート電極
322、329 ソース領域
323、330 ドレイン領域
324、331 ソースコンタクト
325、332 ドレインコンタクト
326、333 ソース配線
327、334 ドレイン配線

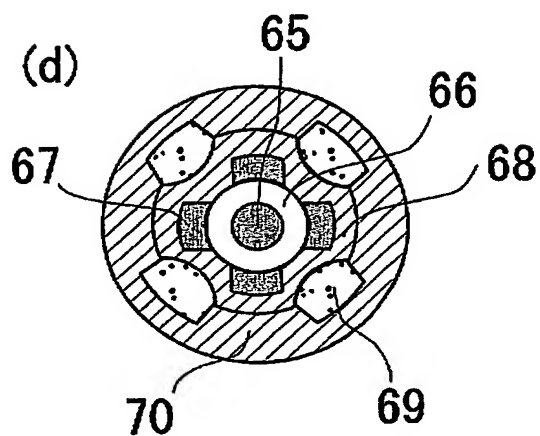
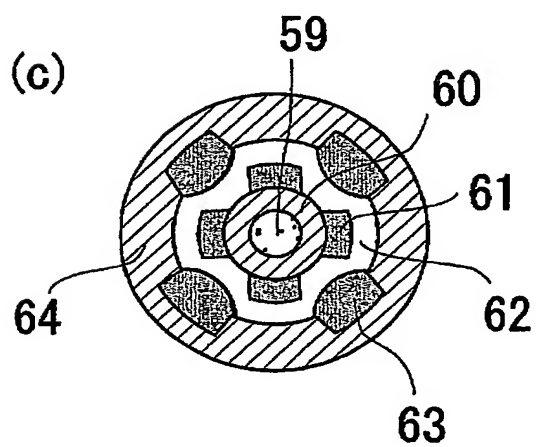
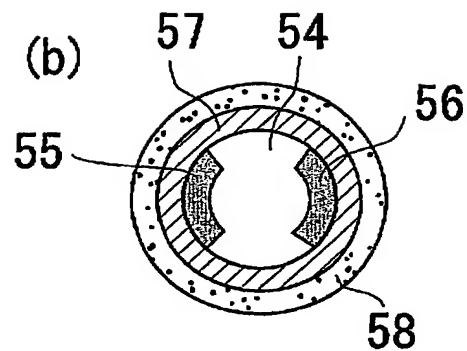
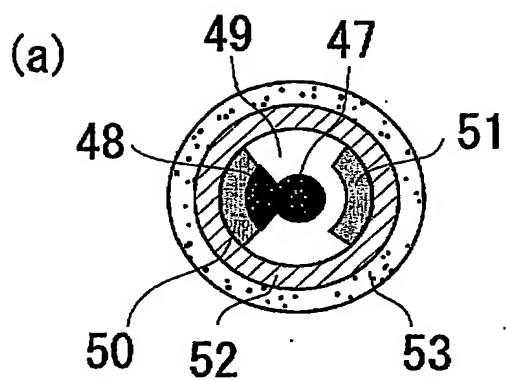
【書類名】 図面
【図 1】



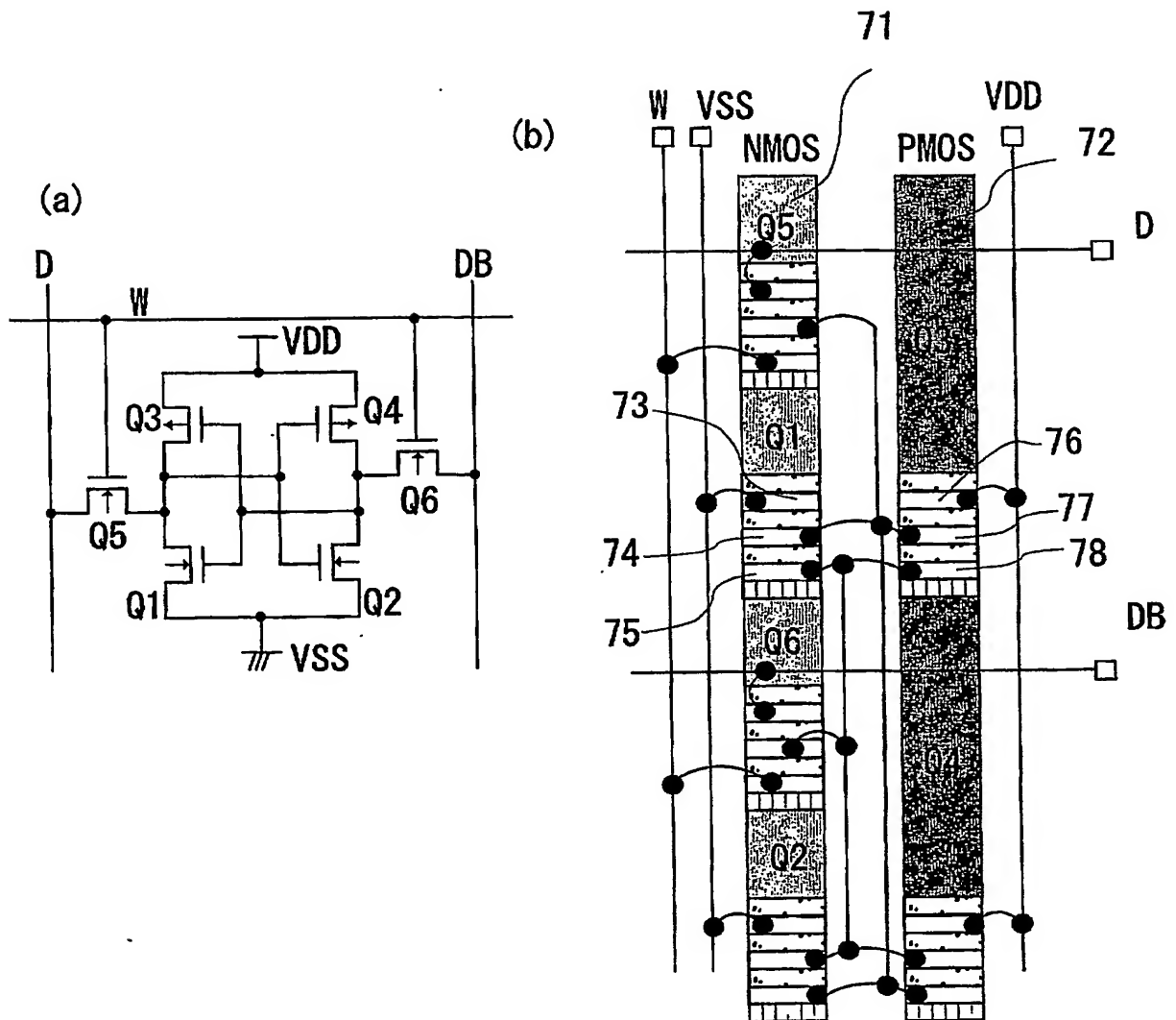
【図 2】



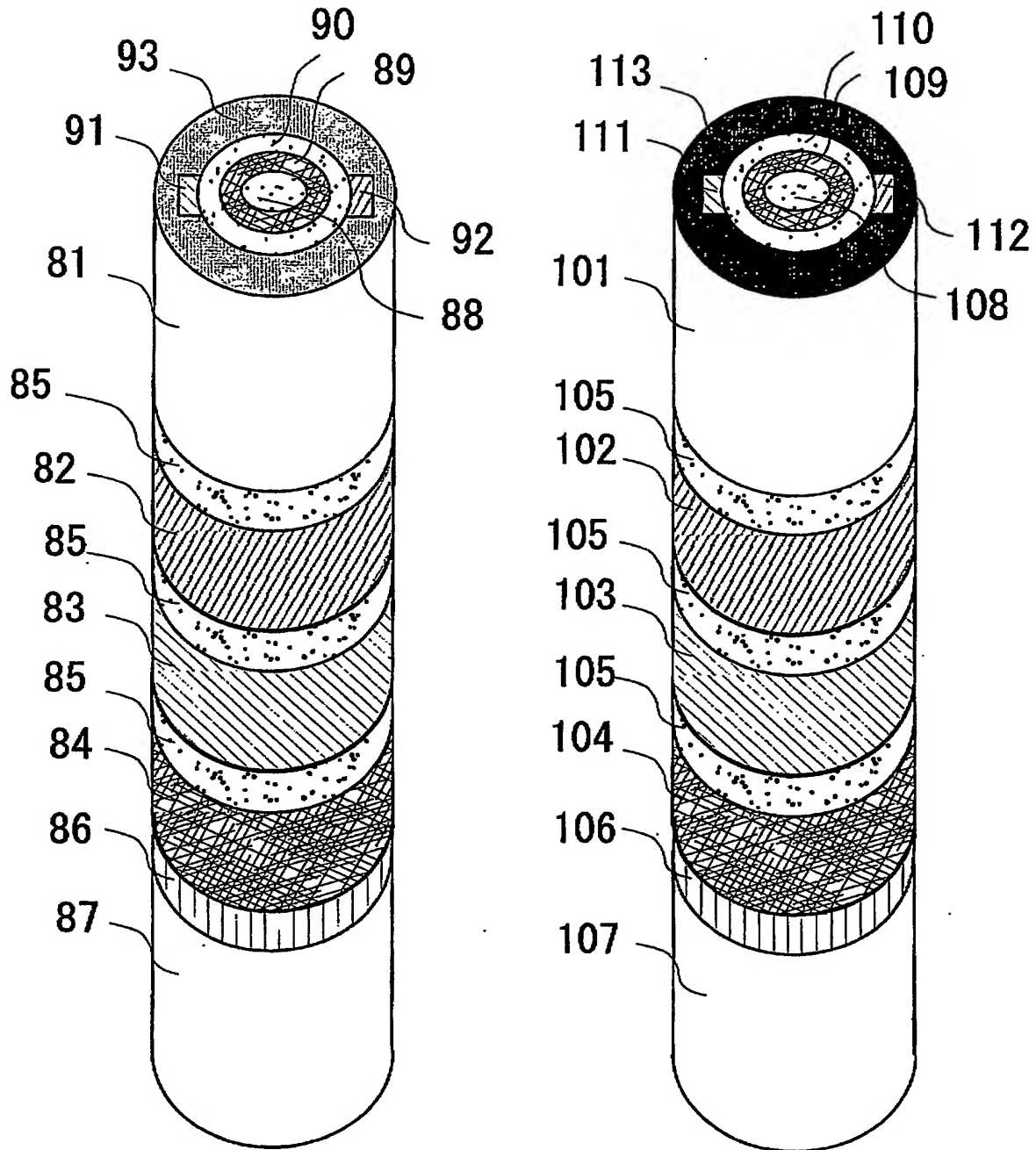
【図 3】



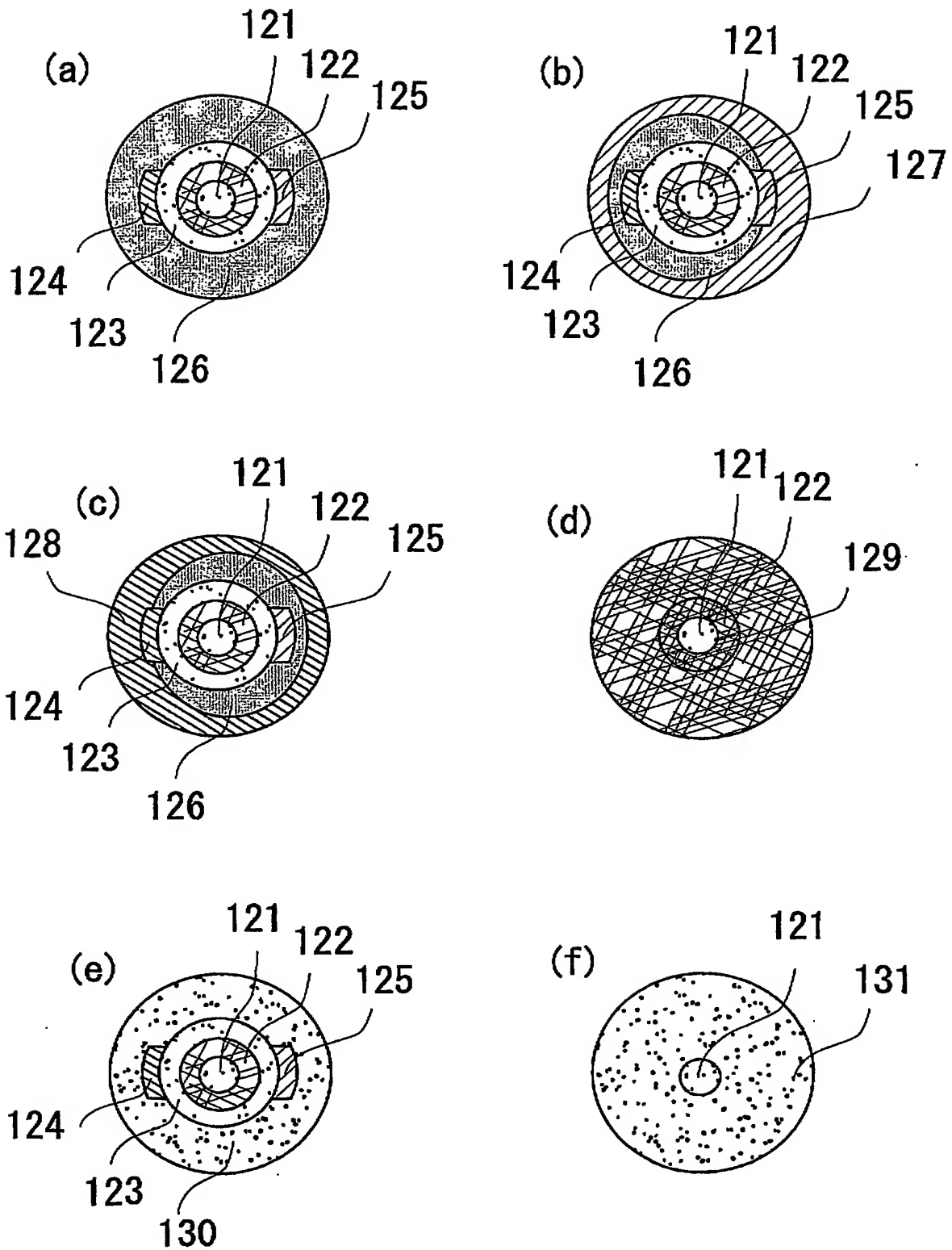
【図 4】



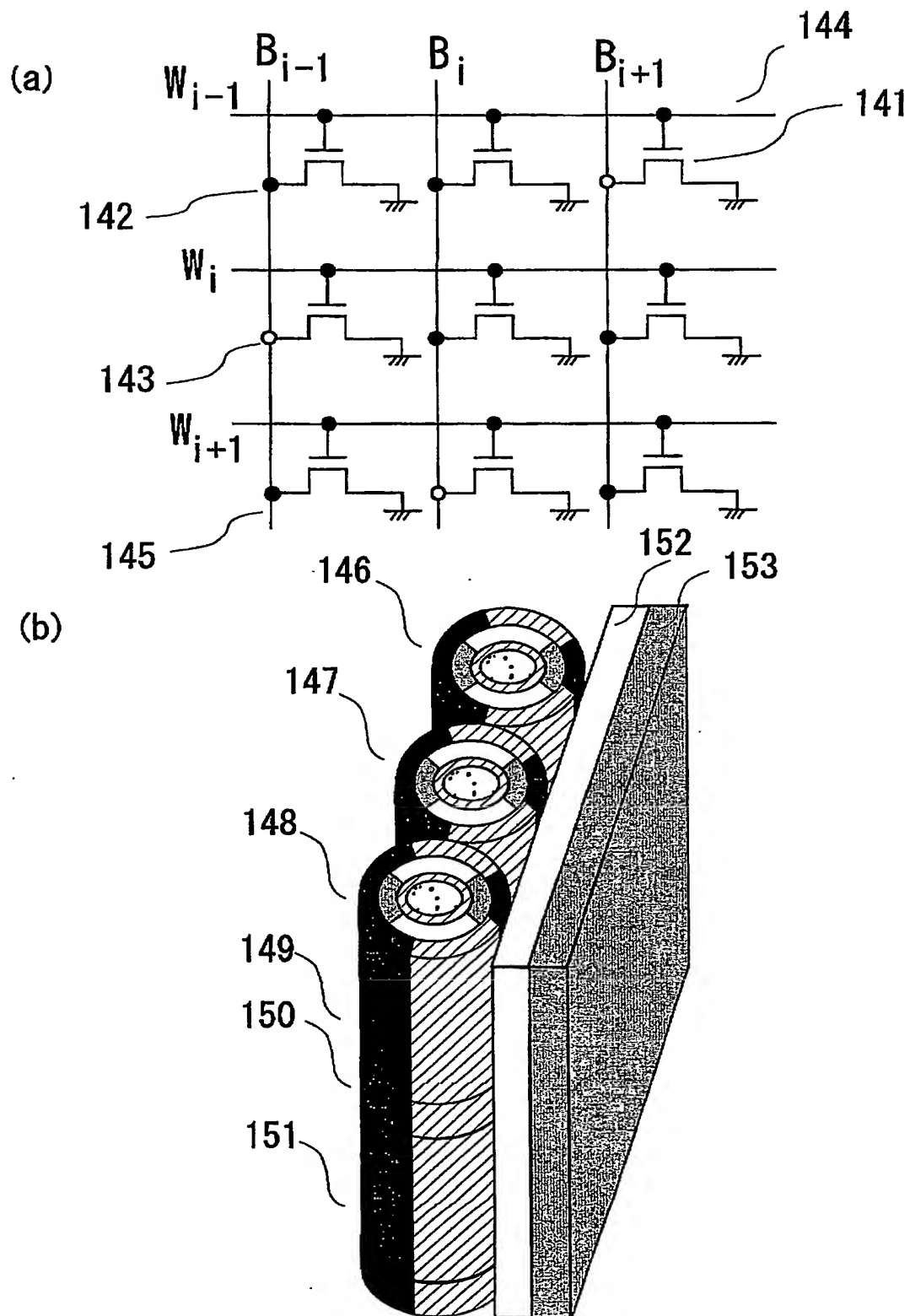
【図 5】



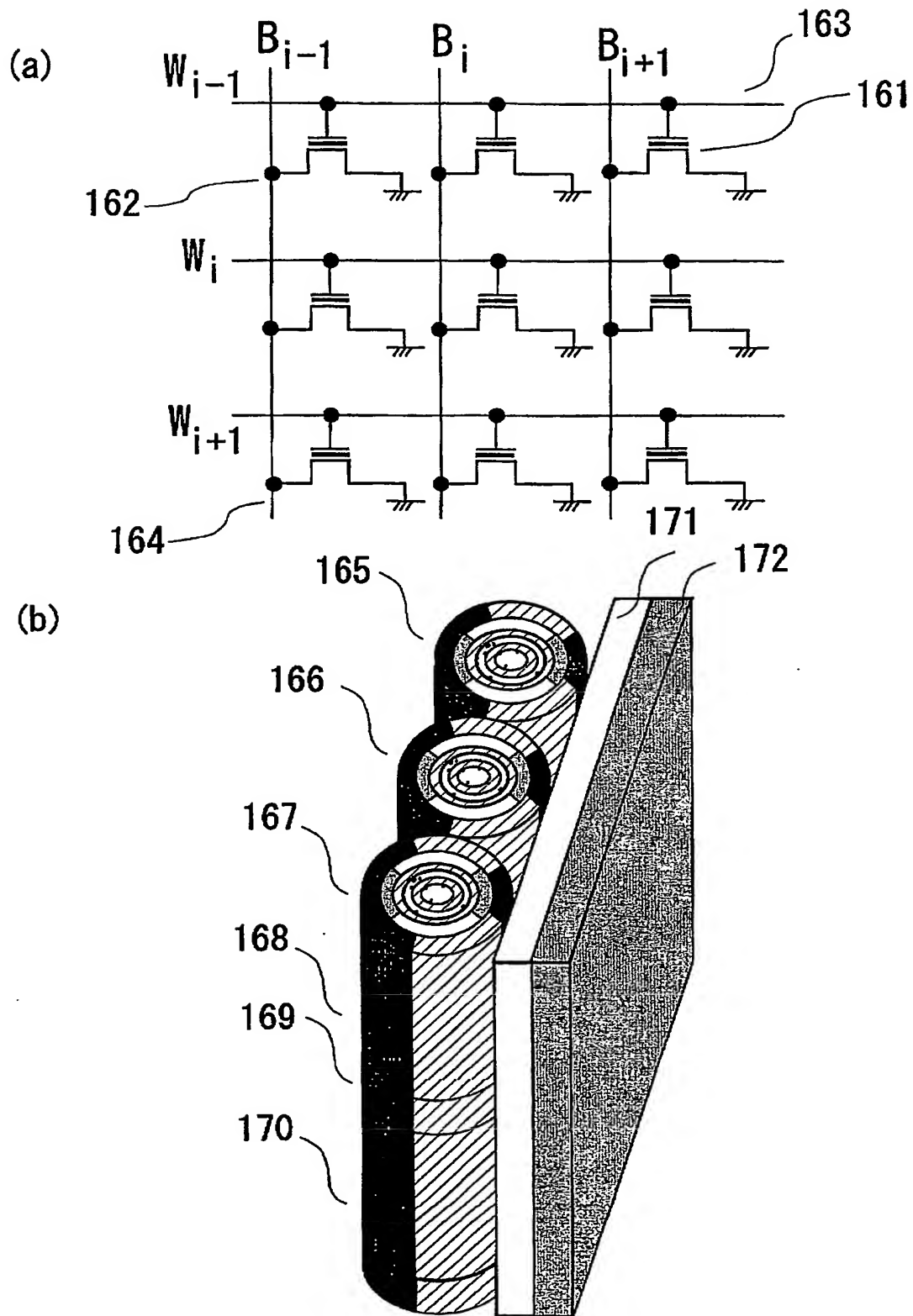
【図 6】



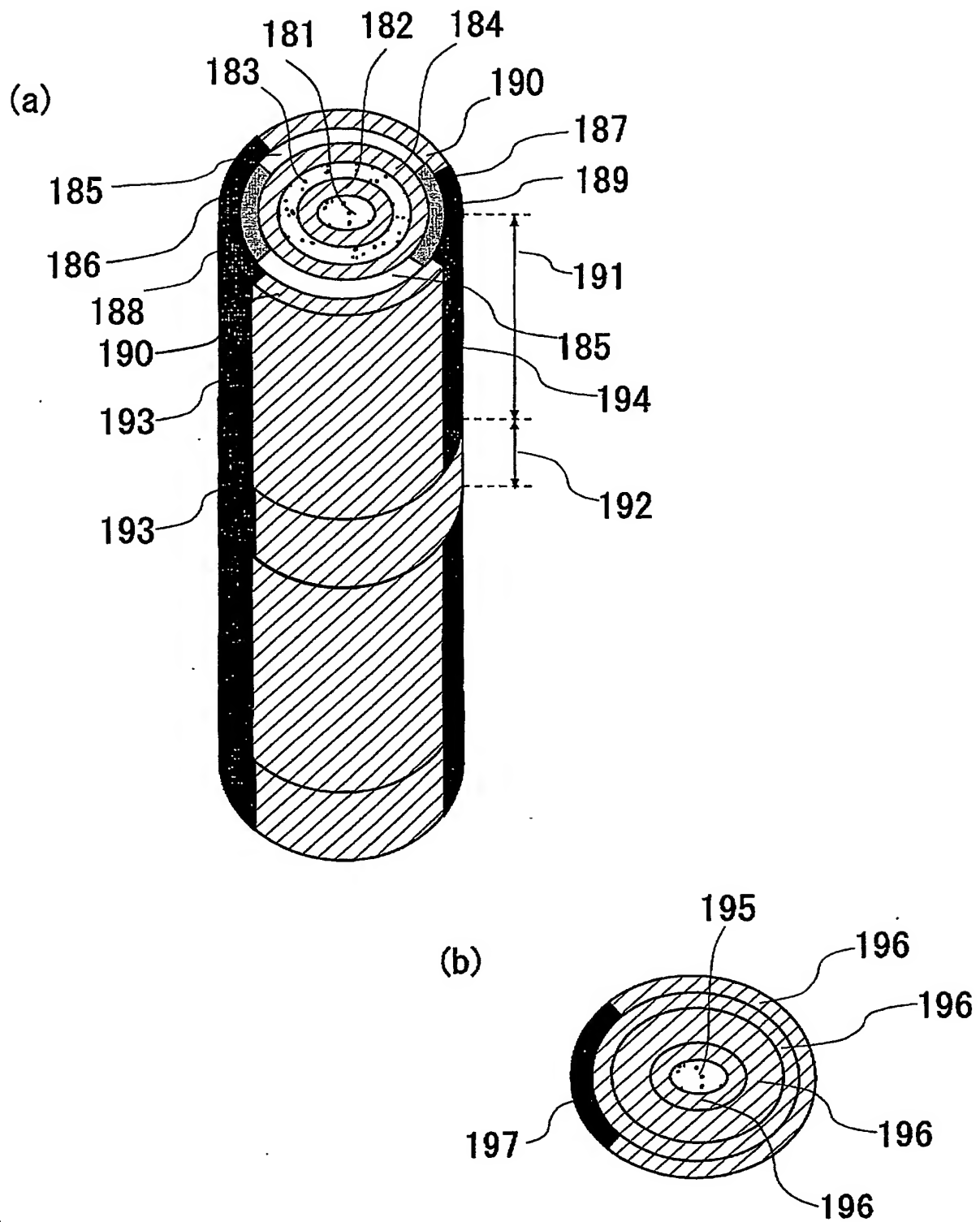
【図 7】



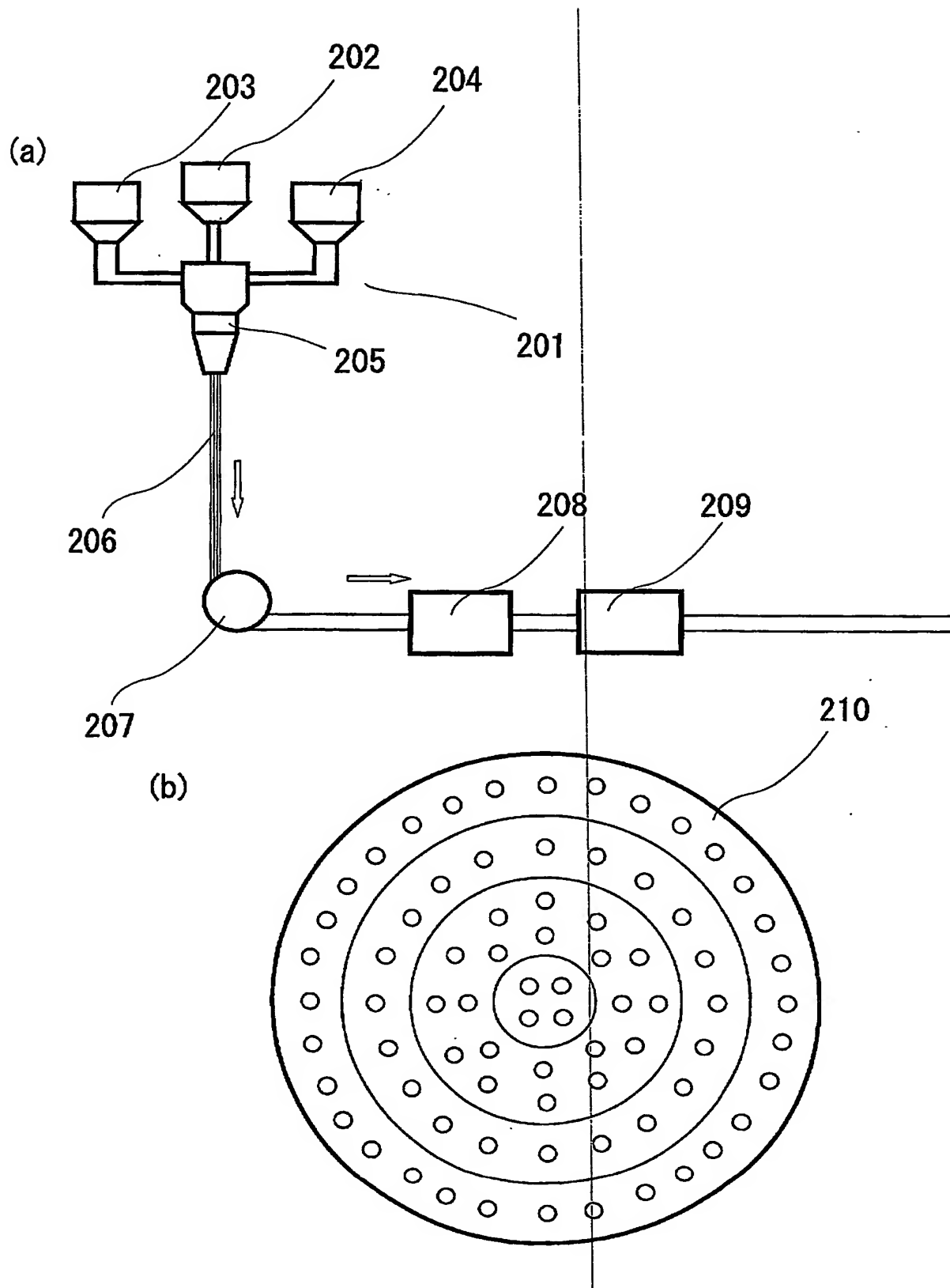
【図 8】



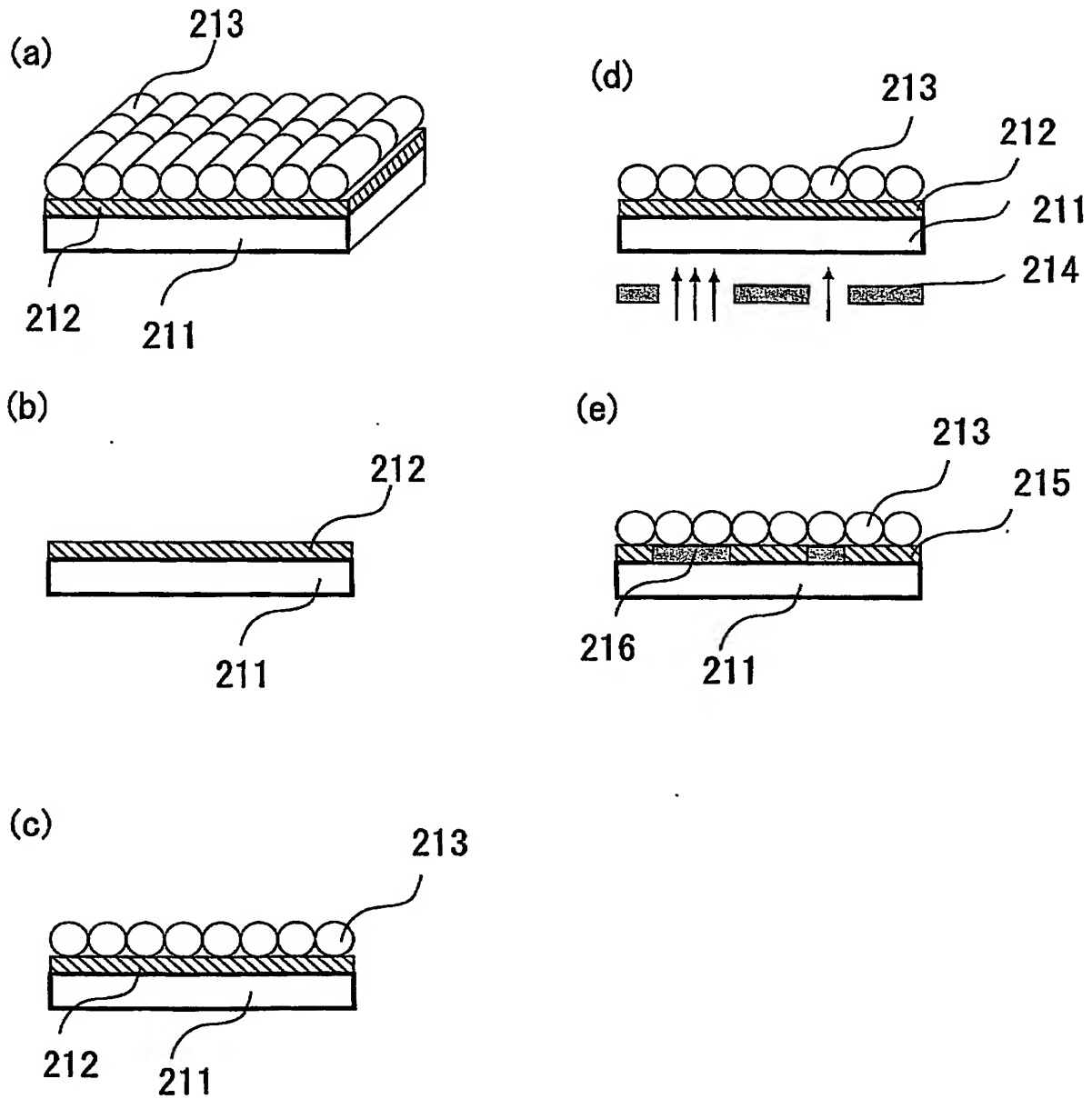
【図 9】



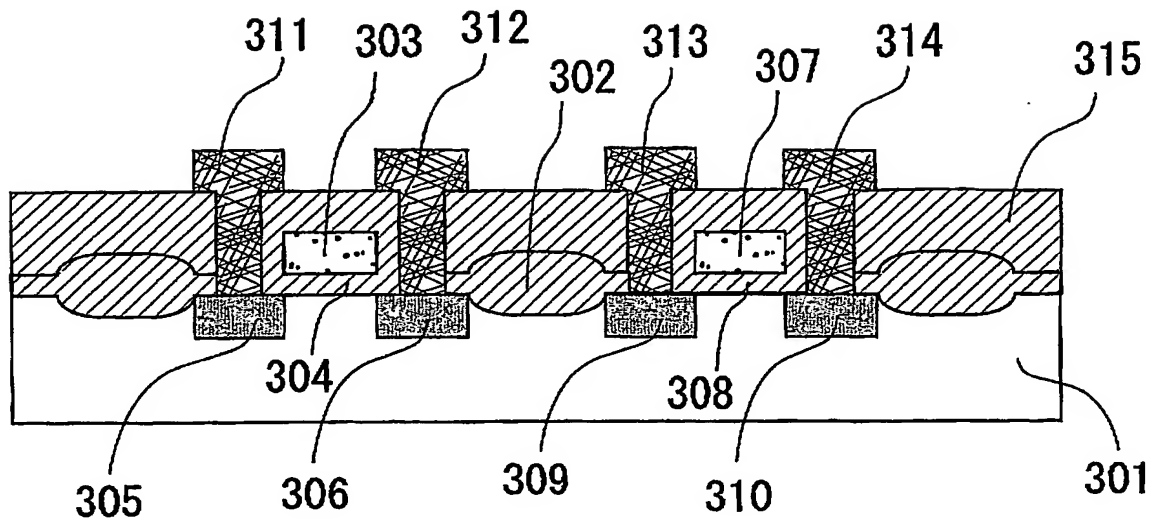
【図10】



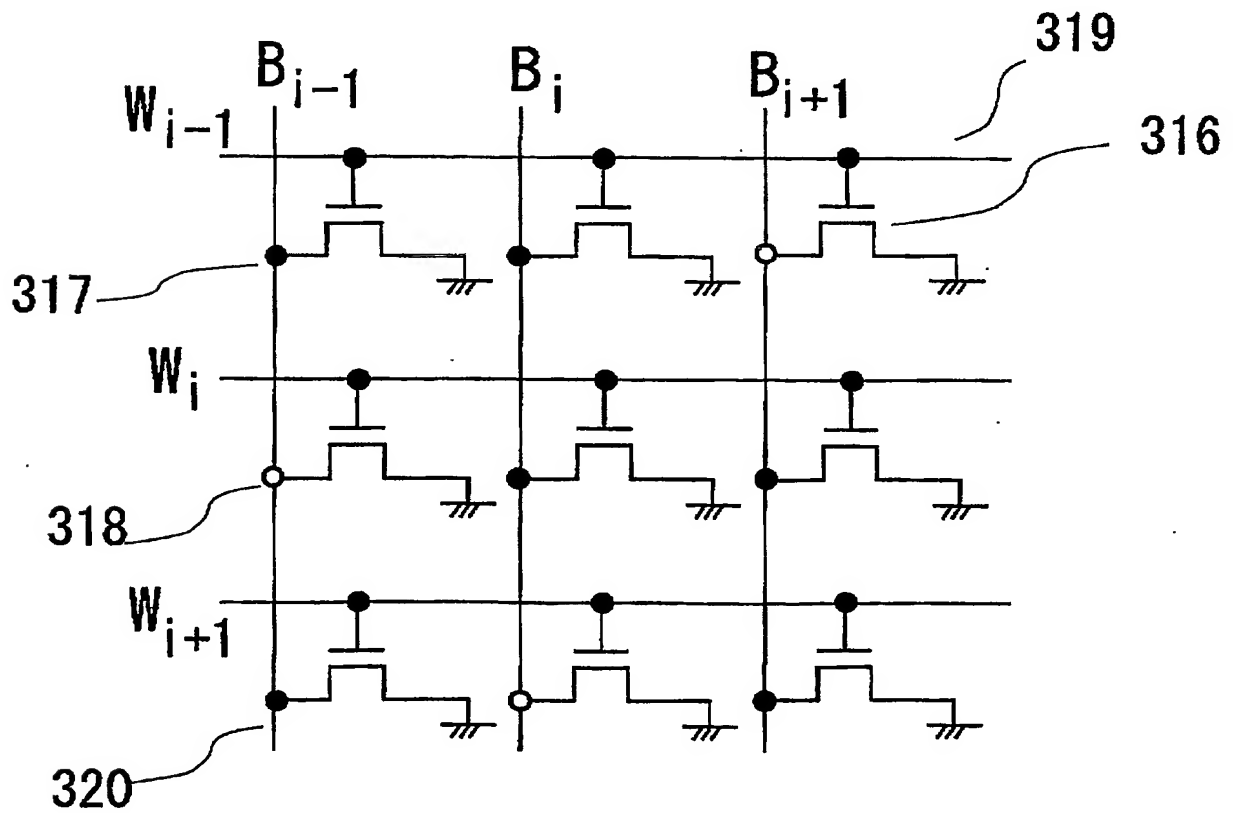
【図 11】



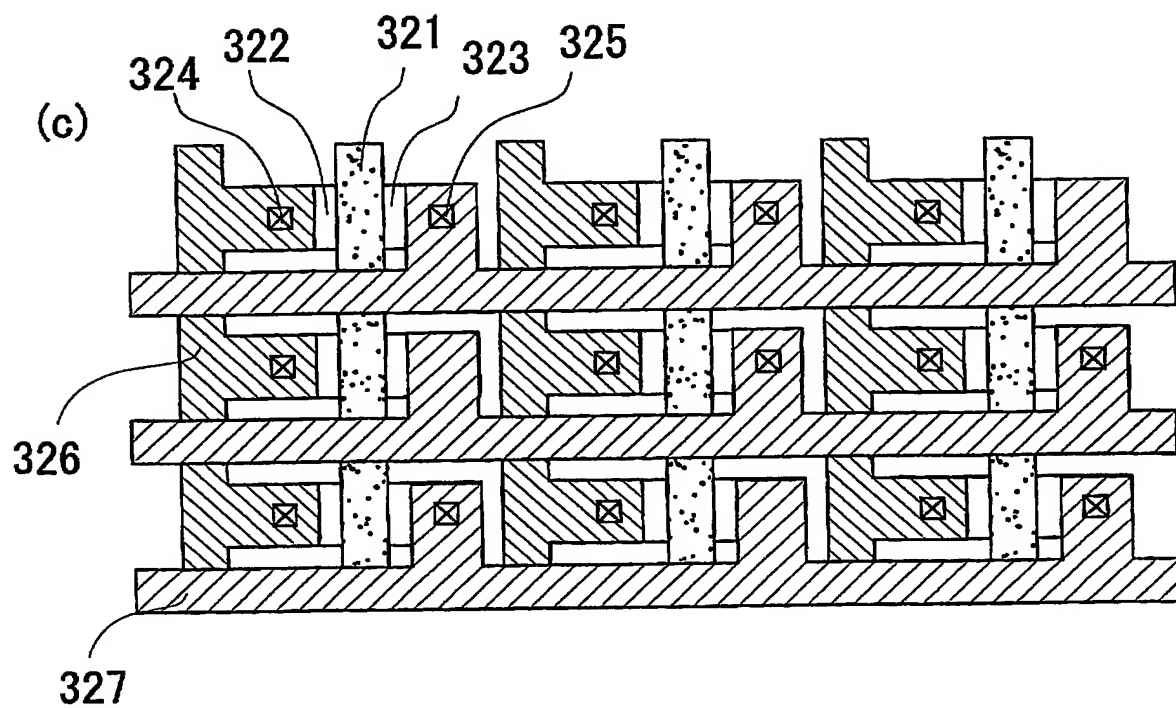
【図 12 (a)】



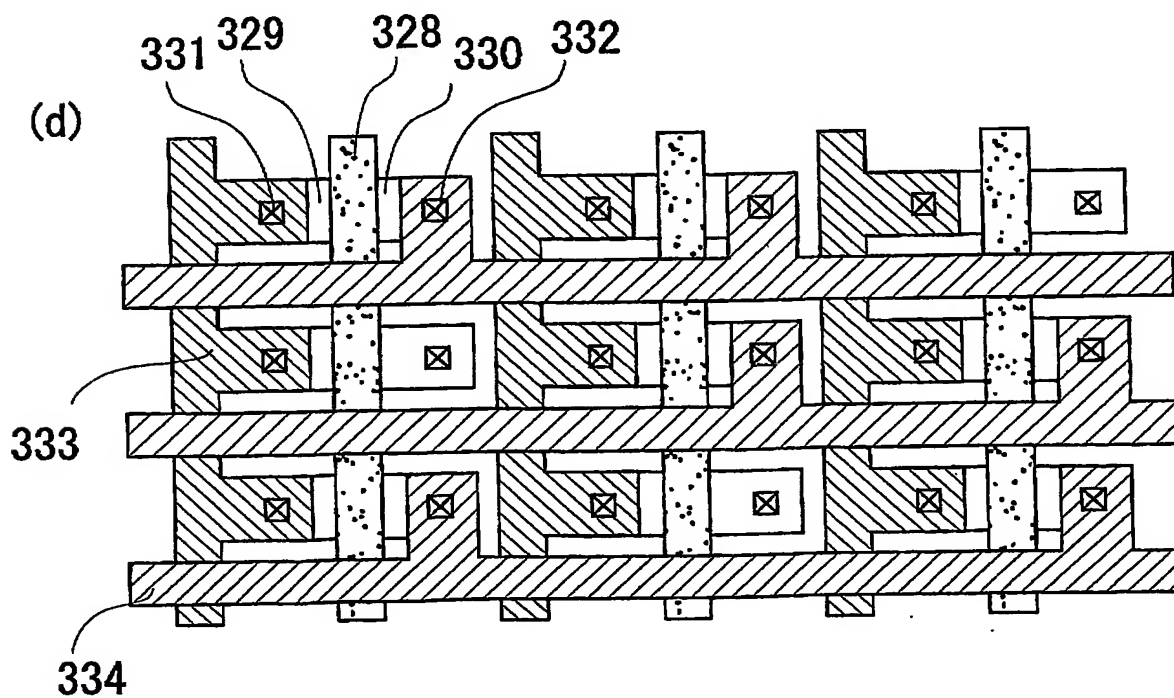
【図 12 (b)】



【図 12 (c)】



【図 12 (d)】



【書類名】要約書**【要約】**

【課題】 プログラムやデータの記憶に使用される半導体メモリーは、シリコン基板などリジッドで平面状の基板に形成されていた。そのため、形状に柔軟性がなく、応用が限定されていた。また、複数の回路素子を平面上に連続して形成しているため、すべての回路素子を欠陥なく作製しないと良品の半導体メモリーを製造することができず、歩留まり向上が困難であった。

【解決手段】 線状素子を布状に織る、または編むことにより、平面状の半導体メモリーを作製したり、線状素子を束ねて線状の半導体メモリーを作製することにした。線状素子からなる半導体メモリーは、柔軟性があり軽いので多様な用途に用いることができる。一度、線状素子を作製して、良品の線状素子のみ選択して半導体メモリーを作製できるので、半導体メモリーの製造歩留まりが向上する。

【選択図】

図 7

特願 2 0 0 3 - 3 7 4 7 8 9

出 願 人 履 歴 情 報

識別番号

[5 0 2 3 4 4 1 7 8]

1. 変更年月日

2 0 0 2 年 9 月 2 0 日

[変更理由]

新規登録

住 所

宮城県仙台市青葉区南吉成六丁目 6 番地の 3

氏 名

株式会社イデアルスター